

[12] 发明专利申请公开说明书

[21] 申请号 98102562.5

[43]公开日 1999年1月6日

[11]公开号 CN 1204155A

[22]申请日 98.6.29 [21]申请号 98102562.5

[30]优先权

[32]97.6.27 [33]JP[31]172386/97

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 加藤博

[74]专利代理机构 中原信达知识产权代理有限责任公司

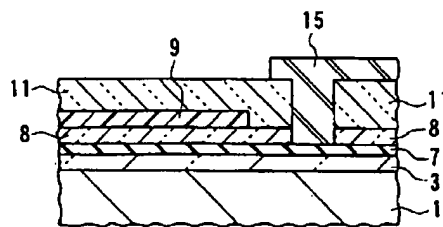
代理人 穆德骏

权利要求书 2 页 说明书 13 页 附图页数 10 页

[54]发明名称 带有微波双极晶体管的半导体器件

[57]摘要

带有双极晶体管的半导体器件,可减少基板连接层和集电区之间的寄生电容;包括:具有主表面的半导体衬底,形成在衬底中的集电区,基区和发射区,形成在衬底主表面上并与集电区重叠的第一介电层,形成在第一介电层上并施加有特定电势的导电层,形成以覆盖导电层的第二介电层,形成在第二介电层上并与基区电连接的基板连接层,以及与基板连接层电连接的基极。发射区、基区和集电区构成双极晶体管。导电层作为屏蔽电极,利用法拉第屏蔽效应,防止了在集电区和基板连接层之间产生寄生电容。



1. 一种半导体器件包括：

具有主表面的半导体衬底；

形成在所述衬底内的集电区；

形成在所述衬底内的基区；

形成在所述衬底内的发射区；

形成在所述衬底的主表面上并与所述集电区叠在一起的第一介电层；

形成在所述第一介电层上并施加有特定电势的导电层；

所形成的覆盖所述导电层的第二介电层；

形成在所述第二介电层上并与所述基区电连接的基极连接层；和
与所述基极连接层电连接的基极；

其特征在于，所述发射区、所述基区和所述集电区构成双极晶体管；

而且其中所述导电层是作为屏蔽电极，利用法拉第效应，它可以防止在所述集电区和所述基极连接层之间产生寄生电容。

2. 如权利要求 1 的半导体器件，其中所述基区是由作为本征基极的第一部分和作为非本征基极的第二部分构成；

而且，所述基极连接层与所述基区的所述第二部分电连接，所形成的所述基极连接层包围所述基区的所述第一部分，所述发射区和所述集电区与所述基区的所述第一部分接触。

3. 如权利要求 2 的半导体器件，其中所形成的所述基区的所述第二部分包围所述基区的第一部分。

4. 如权利要求 1 的半导体器件，其中除了与所述基区邻近的所述基极连接层相邻部分外，所述基极连接层完全与所述导电层重叠在一起；

并且，所述基区的所述相邻部分包围所述基区。

5. 如权利要求 4 的半导体器件，其中所述基区的所述相邻部分具有等于或大于 $1\mu\text{m}$ 的宽度 L 。

6. 如权利要求 1 的半导体器件，其中所述基极连接层与所述发射区电连接。

5 7. 如权利要求 1 的半导体器件，其中所述基极连接层与电源线或地线电连接。

8. 如权利要求 1 的半导体器件，其中所述基极连接层是由多晶硅或金属硅化物制成。

10 9. 如权利要求 1 的半导体器件，其中所述基极连接层是由选自下列一种材料制成：钨（W）、钛（Ti）和铂—铑合金(Pt-Rh)的硅化物。

10. 如权利要求 1 的半导体器件，其中所述基极连接层是由多晶硅或金属硅化物制成。

15 11. 如权利要求 1 的半导体器件，其中所述导电层是由选自下列一种材料制成：钨（W）、钛(Ti)和铂—铑(Pt-Rh)的硅化物。

20 12. 如权利要求 1 的半导体器件，其中所述第一介电层是由选自下列一种材料制成：硅氧化物(SiO_x)、硅氮化物(SiN_x)、和硅氧化物(SiO_x)和硅氮化物(SiN_x)的组合物。

说明书

带有微波双极晶体管的半导体器件

5 本发明涉及半导体器件,特别涉及带有能在微波区工作的双极晶体管的半导体器件,其晶体管寄生电容被减少。

10 一般情况下,在频率 f 为几百 MHz 或更高的高频率(HF)工作的双极晶体管的功率增益 $|s_{21e}|^2$ 用下列等式(1)表示,其中这种双极晶体管被称为微波双极晶体管。

$$|s_{21e}|^2 = \left(\frac{2Z_0}{\gamma_b + \gamma_e + Z_0} \cdot \frac{2\pi f_T}{2\pi f (1 + 2\pi f_T \cdot C_{CB} \cdot Z_0)} \right) \quad (1)$$

15 在等式(1)中, Z_0 是特性阻抗, f_T 是截止或过渡频率, γ_b 是基极电阻, γ_e 是发射极电阻, C_{CB} 是集电极-基极电容。

从等式(1)看出,功率增益 $|s_{21e}|^2$ 很大程序上依赖于集电极-基极电容 C_{CB} 。这样,借助于减少集电极-基极电容 C_{CB} 以增加功率增益 $|s_{21e}|^2$,已经研制了并公开了一些改进的晶体管结构。

20 图1表示常规被改进的晶体管结构的第一例子,它是日本未审查专利公报 No.2-246223 在1990年公开的。

25 如图1所示,在半导体衬底132上,选择形成场氧化物133,从而在衬底132的表面区域内确定器件区域。本征(intrinsic)基极区134形成在衬底132的器件区域内。发射区136形成在衬底132的器件区域内,并被本征基极区134包围。

30 发射极接触层146形成在二氧化硅(SiO_2)层140上,并与发射区136电气连接。发射极145形成在发射极接触层146上,并穿过发射极接触层146与发射区136电气连接。

非本征(extrinsic)基极区135形成在衬底132的器件区域内,从而与本征基极区134接触。从图1中看出,非本征基极区135只位于本征

基极区 134 的一侧（即图 1 中的右侧）。非本征基极区 135 穿过形成在场氧化区 133 上的基极连接层 139 与基极 144 电气连接。

在相对非本征基极区 135 的本征基极区 134 的相对侧，高电阻率层 141 形成在场氧化区 133 上，从而与衬底 132 的器件区域接触。

SiO_2 层 140 形成在场氧化区 133 上，从而与衬底 132 的器件区域接触。发射极接触层 146 和基极 144 形成在 SiO_2 层 140 上。

如上所述，如图 1 所示的常规双极晶体管具有所谓的“单基极结构”，因此，与在本征基极区 134 的两侧提供非本征基极区 135 的情况相比，基极-集电极结的电容减少了。

但是，在图 1 所示常规双极晶体管中，因为所形成的基极连接层 139 穿过氧化区 133 在作为集电区的衬底 132 的器件区域上延伸，所以在基极连接层 139 和衬底 132 之间依然存在寄生电容。这个寄生电容将会带来在 HF 区中功率增益 $|S_{21c}|^2$ 降低的问题。

图 2 表示常规被改进的晶体管结构的第二例子，它是日本未审查专利公报 No.6-342801 在 1994 年公开的。

如图 2 所示，在硅衬底 151 上选择形成场氧化区 153，从而在衬底 151 的表面区域内确定器件区域。沟道截断区 161 形成在场氧化区 143 的下面。衬底 151 的器件区域作为集电区 152a 和集电极连接区 152b。

基区 154 和发射区 156 形成在衬底 151 的器件区域内。基区 154 位于集电区 152a 上，而发射区 156 被基区 154 包围。

集电极连接区 152b 通过由多晶硅制成的集电极接触层 168 与集电极 167 电气相连。发射区 156 穿过由多晶硅制成的发射极接触层 166 与发射极 165 电气相连。基区 154 穿过由多晶硅制成的基极连接层 159 与基极 164 电气相连。基极连接层 159 形成在厚的场氧化区 153 上。

如图所述，在图 2 所示常规双极晶体管中，基区 154 与在厚氧化区 153 上延伸的基极连接层 159 横向接触和电连接，因此，基区 154 的尺寸能被减小。结果，在器件区域内的集电极-基极结的电容降低了。

但是，由于所形成的基极连接层 159 在集电区 152a 和连接区 152b 上延伸，因此在基极连接层 159 和集电区 152a 和集电极连接区 152b 之间会产生寄生电容。这个寄生电容将会引起上述同样的问题。

5

图 3 表示常规被改进的晶体管结构的第三例子，它是日本未审查专利公报 No.5-136434 在 19934 年公开的。

10

如图 3 所示，基区 174 形成在作为集电区的 n-型外延层 172 中。发射区 176 形成在外延层 172 中，从而被基区 174 包围。集电极连接区 177 形成在外延层 172 中。

15

介电层 173 形成在外延层 172 上。集电极 181 形成在介电层 173 上，从而与集电极连接区 177 接触并电气连接。导电层 178 形成在介电层 173 上，从而与发射区 176 接触并电气连接。

20

层间介电层 175 形成在导电层 178 上。发射极 182 形成在层间介电层 175 上，从而与导电层 178 接触并电连接。这样，发射极 182 穿过导电层 178 与发射区 16 电连接。

用于一个或多个信号的布线层 183 形成在层间介电层 175 上，从而与其下面的导电层 178 叠置。

25

如上所述，在图 3 所示常规双极晶体管中，在基区 174 保持电开路时，该晶体管被用作集电极—发射极(C-E)二极管。与发射区 176 电连接的导电层 178 位于介电层 173 上，同时，布线层 183 通过层间介电层 175 与导电层 178 叠加在一起。这样，在布线层 183 和基区 174 之间就会产生寄生电容。

30

从上面说明清楚看出，图 3 所示常规双极晶体管不具有降低集电极—基极电容 C_{CB} 的结构。

35

图 4 表示常规被改进的晶体管结构的第四例子，它是日本未审查实用新型公报 No.2-98632 在 1990 年公开的。

如图 4 所示，n 型集电区 192 形成在硅衬底 191 上。在集电区 192

中，形成 p 型基区 194 、 p⁻型区 195 、 n 型发射区 196 和 n⁺型区 189 。
基区 194 与 p⁻型区 195 接触。

5 SiO₂ 层 193 形成在集电区 192 上。导电层 197 形成在 SiO₂ 层 193
上，从而与 n⁺型区 189 接触并电连接。形成层间介电层 198 ， 以覆盖导
电层 197 。

10 基极连接层 199 形成在层间介电层 198 上，从而与基区 194 接触并
电连接。基极连接层 199 与其下的导电层 197 叠在一起，结果，在基极
区和集电区 194 和 192 之间形成有意的寄生电容。

15 在图 4 所示常规晶体管结构中，由于所形成的导电层 197 穿过 SiO₂
层 193 在集电区 192 上延伸，所以在导电层 197 和集电区 192 之间将会
产生寄生电容。这个寄生电容将引起上述同样的问题。

因而，本发明的目的是提供带有双极晶体管的半导体器件，其在基
极连接层和集电区之间的寄生电容降低了。

20 本发明的另一目的是提供带有双极晶体管的半导体器件，其增加了
在 HF 频率范围内功率增益。

上述目的以及其它未具体说明的目的对本领域技术人员来说，从下
面的描述中很易理解。

25 根据本发明的半导体器件是由下列部分构成：具有主表面的半导体
衬底，形成在衬底中的集电区，形成在衬底中的基区，形成在衬底中的
发射区，形成在衬底主表面上从而与集电区重叠在一起的第一个介电层，
形成在所述第一绝缘层上并施加有特定电势的导电层，所形成的覆盖导
电层的第二介电层，形成在第二介电层上并与基区电连接的基极连接
30 层，以及与基极连接层电连接的基极。

发射区、基区、和集电区构成双极晶体管。

35 导电层作为屏蔽电极，它利用法拉第屏蔽效应防止在集电区和基极
连接层之间产生寄生电容。

根据本发明的半导体器件,由于法拉第屏蔽效应防止了集电区和基极连接层之间产生寄生电容。因此,在基极连接层和集电区之间的寄生电容降低了或消除了。这意味着,在 HF 频率范围内的双极晶体管的功率增益增加了。

5

在根据本发明半导体器件的优选实施例中,基区由作为本征基极的第一部分和作为非本征基极的第二部分构成。基极连接层与基区的第二部分电连接。所形成的基极连接层包围基区的第一部分。发射区和集电区与基区的第一部分接触。

10

这种情况下,本发明具有很多优点。

在根据本发明半导体器件的另一优选实施例中,所形成的基区的第二部分包围基区的第一部分。

15

此时,具有另一优点:基区的电阻降低了。

在根据本发明半导体器件的再一优选实施例中,除了与基区邻近的基极连接层的相邻部分(neighborhood)外,基极连接层完全叠加在导电层上。基区的邻近部分包围基区。

20

此时,有效地利用了法拉第屏蔽效应。

基区的邻近部分最好宽度 L 等于或大于 $L_{\mu m}$ 。这是因为有效地利用法拉第屏蔽效应。

25

在根据本发明半导体器件的另外优选实施例中,基极连接层与发射区电连接。

30

这种情况下,另外的优点是,不需要用于给基极连接层施加特定电势的布线。

基极连接层可以与电源线或地线电气相连。

35

基极连接层最好是由多晶硅或金属硅化物制成,例如:钨(W)、钛(Ti)或铂-铑(Pt-Rh)合金的硅化物。

导电层最好是由多晶硅或金属硅化物制成，例如：钨（W）、钛（Ti）或铂-铑（Pt-Rh）合金的硅化物。

5 第一介电层是由硅氧化物(SiNx)、硅氮化物(SiNx)或硅氧化物(SiNx)和硅氮化物(SiNx)的组合物制成。

为了表明本发明可以实施，下面参照附图说明本发明。

图 1 是第一常规半导体器件的部分截面图；

10 图 2 是第二常规半导体器件的部分截面图；

图 3 是第三常规半导体器件的部分截面图；

图 4 是第四常规半导体器件的部分截面图；

图 5 是根据本发明的半导体器件的部分截面图，示意地表示本发明的原理；

15 图 6 是根据本发明的第一实施例的半导体器件的部分平面图；

图 7 是根据本发明第一实施例的半导体器件沿着图 6 中线 VII-VII 截取的部分截面图；

图 8 是根据本发明第一实施例的半导体器件沿着图 6 中线 VIII-VIII 截取的部分截面图；

20 图 9A 到 9G 是分别表示根据图 6 到 8 的第一实施例半导体器件的制造方法的部分截面图；

图 10 是表示根据图 6 到 8 的第一实施例和常规半导体器件在 HF 范围内功率增益相对于集电极电流的关系曲线；

25 图 11 是根据本发明第二实施例的半导体器件沿着与图 6 中线 VII-VII 同样截取的部分截面图；

图 12 是根据本发明第二实施例的半导体器件沿着与图 6 中线 VIII-VIII 同样截取的部分截面图；

图 13 是根据本发明第三实施例半导体器件的部分平面图；

30 图 14 是根据图 13 的第三实施例的半导体器件沿着图 13 中线 XIV-XIV 截取的部分截面图；

图 15 是根据图 13 的第三实施例的半导体器件沿着图 13 中线 XV-XV 截取的部分截面图。

下面参照附图，详细说明本发明的优选实施例。

35

如图 5 所示，在单晶硅衬底 1 的主表面上形成由 SiO₂ 制成的隔离

氧化物 3。作为屏蔽电极的导电层 7 形成在衬底 1 的主表面上。由 SiO_2 构成的介电层 8 形成在导电层 7 上。在介电层 8 上形成基极连接层 9。在介电层 8 上形成由 SiO_2 构成的介电层 11，从而覆盖基极连接层 9。在介电层 11 上形成发射极 15。通过穿透介电层 11 和 8 的接触孔，发射极 15 与导电层或屏蔽电极 7 接触并电连接。

根据本发明的半导体器件，如上所述，导电层 7 与发射极 15 电连接，所以在发射极的电势总是施加给导电层 7。这样，导电层 7 就作为提供在衬底 1 和基极连接层 9 之间的法拉第屏蔽或法拉第层。

结果，由于法拉第屏蔽效应，就防止了衬底 1(作为集电区)和基极连接层 9 之间产生寄生电容。

图 6 到 8 表示根据本发明第一实施例的半导体器件。

如图 7 和 8 清晰所示，在 n 型单晶 Si 基底 1A 上形成 n 型单晶硅(Si)外延层 2，由此形成 n 型单晶 Si 衬底 1。用锑(Sb)以 $1 \times 10^{18} \text{cm}^{-3}$ 的掺杂浓度掺杂 n 型基底 1A。用磷(P)以 $1 \times 10^{15} \text{cm}^{-3}$ 的掺杂浓度掺杂 n 型外延层 2。

在 Si 基底 1A 上形成由 SiO_2 构成且厚度约为 $1\mu\text{m}$ 的隔离氧化物 3，从而构图的外延层 2。厚度为 $1\mu\text{m}$ 被构图的外延层 2 作为 npn 型双极晶体管的 n 型集电区 2。集电区 2 完全被掩埋在隔离氧化物 3 中。

在 n 型外延层 2 中形成用砷(As)以 $1 \times 10^{20} \text{cm}^{-3}$ 掺杂浓度掺杂的 n 型发射区 6，发射区 6 具有矩形平面形状，如图 6 所示。

具有最高掺杂浓度 $1 \times 10^{18} \text{cm}^{-3}$ 的 p 型本征基区 4 形成在 n 型外延层 2 中。本征基区 4 与发射区 6 的底表面和侧表面接触。本征基区 4 具有比发射区 6 稍大的矩形平面形状，如图 6 所示。

在 n 型外延层 2 中形成 P^+ 型非本征基区 5，从而包围本征基区 4。非本征基区 5 具有矩形环状平面形，且与本征基区 4 的整个侧面接触。

选择形成 P 型掩埋多晶硅层 12，以被掩埋在隔离氧化物 3 中，并位于非本征基区 5 上。多晶硅层 12 具有与非本征基区 5 同样的矩形环

状平面形。换句话说，多晶硅层 12 完全与非本征基区 5 重叠在一起。

多晶硅层 12 的顶部与叠在上面的基极连接层 9 的内端接触，由此通过的多晶硅层 12，使基极连接层 9 与非本征基区 5 电连接。基极连接层 9 的外端与基极 14 接触并电连接。

基极连接层 9 的厚度为 200nm，且由用硼(B)以 $1 \times 10^{19} \text{cm}^{-3}$ 的掺杂浓度掺杂的 P 型的多晶硅构成。基极连接层 9 具有矩形平面形状。基极连接层 9 的内端形成矩形基极/发射极窗口 23，通过窗口 23，发射区 6 和本征基区 4 显露出来。

作为屏蔽电极的导电层 7 形成在隔离氧化物 3 上，并位于基极连接层 9 下面。导电层 7 具有矩形平面形状，从而覆盖剩余外延层 2。此外，导电层 7 具有矩形窗口 7a，通过窗口 7a，暴露发射区 6 和本征和非本征基区 4。导电层 7 的厚度为 100nm，且由用砷(AS)以 $1 \times 10^{20} \text{cm}^{-3}$ 的掺杂浓度掺杂的 n 型多晶硅构成。

在隔离氧化物 3 上形成厚度为 100nm 的 SiO_2 层，以覆盖导电层 7。 SiO_2 层 8 电绝缘导电层 7 和基极连接层 9。 SiO_2 可以是由硅氮化物(SiN_x)构成，或者可以具有 SiO_2 分层和 SiN_x 分层的两层结构。

用厚度为 120nm 的硅氮化物(SiN_x)覆盖掩埋多晶硅层 12 和基极连接层 9 的内端。位于本征基区 4 上的 SiN_x 层 13 使掩埋多晶硅层 12 和基极连接层 9 与发射极接触层 16 电绝缘。

发射极接触层 16 位于发射区 6 上并与之电连接。发射极接触层 16 由 n 型多晶硅构成。发射极接触层 16 通过厚度为 100nm 的 SiN_x 层 10 与基极连接层 9 电绝缘。形成的 SiN_x 层 10 覆盖基极连接层 9。通过由 SiN_x 层 13 形成的接触孔 18，发射极接触层 16 与发射区 6 接触。

形成的 SiO_2 层覆盖 SiN_x 层 10，基极连接层 9 和发射极接触层 16。 SiO_2 层 11 的厚度为 400nm。

通过穿透 SiO_2 层 11 和 SiN_x 层 10 的接触孔，基极 14 与基极连接层 9 接触并电连接。

通过穿透 SiO_2 层 11 的接触孔 19，发射极 15 与发射极接触层 16 接触并电连接。发射极 15 的平面形状类似于字母“T”，如图 6 所示。这样，发射极 16 不仅与发射极接触层 16 而且与作为屏蔽电极的导电层 7 通过穿透 SiO_2 层 11 和 8 的接触孔 20 接触并电连接。

5

导电层 7 的矩形内端与基极连接层 9 横向隔开长度 L ，这里 L 是 0.8 到 $1\mu\text{m}$ 。除了具有宽度 L 的矩形环状面积外，基极连接层 9 完全与导电层 7 叠在一起。换言之，除了与基极/发射极窗口 23 邻近的基极连接层 9 的邻近部分外，基极连接层 9 完全覆盖导电层 7。

10

下面参照图 9A 到 9G，说明根据第一实施例的半导体器件的制造方法。

15

首先，利用低压化学汽相淀积（LPCVD）工艺在 n 型单晶 Si 基底 1A 上生长 n 型单晶硅 Si 外延层 2，由此提供 n 型单晶 Si 衬底 1，如图 9A 所示。

20

然后，利用 LPCVD 工艺在外延层 2 上形成厚度为 120nm 的 SiN_x 层(未示出)。利用光刻和腐蚀处理构图 SiN_x 层，由此选择去掉一部分 SiN_x 层，此外确定器件区域。

25

再然后，使用已图形化的 SiN_x 层作掩模，利用压力一氧化处理氧化外延层 2。这样，如图 9B 所示，在基底 1A 上选择形成厚度约为 $1\mu\text{m}$ 的 SiO_2 层 3。剩余外延层 2 的顶部在此处理中稍微被氧化，结果，该层 2 的顶部也用 SiO_2 层 3 覆盖。这个阶段的状态，如图 9B 所示。剩余外延层 2 的厚度为 $1\mu\text{m}$ 。

30

利用 LPCCD 处理在 SiO_2 层 3 上形成多晶硅层(未示出)，然后在 30keV 的加速能量条件下，利用离子注入工艺，用砷（As）以 $2 \times 10^{16}\text{cm}^{-3}$ 的剂量掺杂多晶硅层。使用通过光刻处理的已构图的光刻胶膜 21 作掩模，利用干法腐蚀构图这样形成的 n 型多晶硅层，由此形成作为屏蔽电极的导电层 7，如图 9C 所示。导电层 7 具有矩形窗口 7a。然后去掉光刻胶膜 21。

35

接下来，利用 LPCVD 工艺在 SiO_2 层上淀积厚度为 100nm 的 SiO_2 层 8，从而覆盖导电层 7。利用 LPCVD 工艺在 SiO_2 层 8 上淀积厚度为

200nm 的多晶硅层(未示出), 然后对其利用离子注入工艺, 在 20keV 的加速能量下, 用硼(B)以 $5 \times 10^{15} \text{cm}^{-2}$ 的剂量掺杂, 由此在 SiO_2 层 8 上形成 P 型多晶硅基极连接层 9。利用 LPCVD 工艺在基极连接层 9 上形成厚度为 100nm 的 SiN_x 层 10。

5

在 SiN_x 层 10 上形成光刻胶膜 21, 并利用光刻工艺构图。用已构图的光刻胶膜 21 作掩模, 利用活性离子腐蚀 (RIE) 处理选择去掉 SiN_x 层 10、基极连接层 9 和 SiO_2 层 8, 从而形成穿透这些层 10、9 和 8 的基极/发射极窗口 23。这个阶段的状态如图 9D 所示。然后去掉光刻胶膜 22。

10

此外, 通过基极/发射极窗口 23, 和位于下面的隔离氧化物 3, 在 25keV 的加速能量下, 以 $5 \times 10^{13} \text{cm}^{-2}$ 的剂量, 将 2 氟化硼离子 (BF_2^+) 选择注入到 n 型外延层 4 中。然后对离子注入外延层 4 进行用于激活的退火处理, 由此在外延层 2 中形成形成本征 (有源的) 基区 4, 如图 9D 所示。

15

使用氟化氨 (NH_4F) 和氢氟酸 (HF) 的混合物, 利用湿法腐蚀处理一定时间, 选择去掉 SiO_2 层 3 和 8。这样, SiO_2 层 3 和 8 被横向腐蚀 250nm 的长度, 由此在剩余外延层 2 上形成中空间隔或空间 24, 如图 9F 所示。

20

这之后, 利用 LPCVD 工艺, 在 SiN_x 层 10 上生长厚度为 70nm 的多晶硅层 (未示出), 以覆盖基极/发射极窗口 23。这样生长的多晶硅层利用 RIE 处理深腐蚀, 由此在间隔或空间 24 内形成掩埋多晶硅层 12。这个阶段的状态如图 9F 所示。

25

利用 LPCVD 工艺在 SiN_x 层 10 上形成 SiN_x 层 (未示出), 然后对其深蚀刻, 由此形成覆盖基极/发射极窗口 23 的内壁的 SiN_x 层 13, 如图 9G 所示。

30

在 SiN_x 层 10 上生长厚度为 200nm 的多晶硅层 (未示出), 然后利用离子注入处理, 用砷 (As) 掺杂。然后构图如此形成的 n 型多晶硅层, 从而形成发射极接触层 16, 如图 9G 所示。

35

然后在 100 °C 下对衬底 1 进行灯光退火处理 10 秒钟。这样, 由于

砷从发射极接触层 16 扩散进入外延层 2，形成发射区 6。同时，由于硼从掩埋多晶硅层 12 扩散进入外延层 2，形成非本征基区 5。这个阶段的状态如图 9G 所示。

5 这个处理之后，构图基极连接层 9 和 SiN_x 层 10，使其具有相同平面形状，由此确定基极连接层 9 和 SiN_x 层 10 的形状。

10 生长厚度为 400nm 的 SiO_2 层，以覆盖基极连接层 9 和 SiN_x 层 10。然后，利用光刻和腐蚀处理构图 SiO_2 层 11，从而形成接触孔 17，19 和 20。

15 在 SiO_2 层 11 上形成由铝 (Al) 或引入铜 (Cu) 或硅 (Si) 的铝合金构成的厚度为 $1\mu\text{m}$ 的金属层。然后构图此金属层，以形成发射极和基极 15 和 14。分别通过接触孔 19 和 20，发射极 15 与发射极接触层 16 和屏蔽电极 7 接触。基极 14 通过接触孔 17 与基极连接层 9 接触。

20 根据第一实施例的半导体器件，在集电区 2 (即：外延层) 和基极连接区 9 之间提供作为屏蔽电极的导电层 7。因此，由于法拉第屏蔽效应防止了集电区 2 和基极连接层 9 之间产生寄生电容。

25 这样，基极连接层 9 和集电区 2 之间的寄生电容降低了。这意味着在 HF 频率范围内双极晶体管的功率增益增加了。

25 为确认本发明的优点，本发明人在下列条件下进行了实验。

30 制造具有根据本发明第一实施例结构的两并联双极晶体管。同时，也制造具有常规结构的两并联双极晶体管，其中的常规结构是指除了没有提供屏蔽电极 7 之外，与第一实施例相同。每个晶体管都具有 $0.4\mu\text{m} \times 20\mu\text{m}$ 的方形发射区。

30 结果，在具有常规结构的晶体管中，集电区 2 和基极连接层 9 之间的寄生电容为 34fF，基极-集电极结的电容为 36fF。因此，总的集电极-基极电容为 70fF。

35 另一方面，在根据第一实施例的晶体管中，集电区 2 和基极连接层 9 之间的寄生电容约为零(0)fF，而基极-集电极结的电容为 36fF。因

此，总的集电极—基极电容限定为 36fF。

由于总的集电极—基极电容的不同，发现在 HF 范围内功率增益相对于集电极电流 I_c 变化，如图 10 所示，其中集电极—基极电压 V_{ce} 为 2V，信号频率为 2GHz。

在图 10 中，曲线 a 表示根据第一实施例的半导体器件，而曲线 b 表示常规半导体器件。在 $I_c=2\text{mA}$ 的低集电极电流时，在 HF 范围内功率增益 $|s_{21e}|^2$ 上升 2dB，而在最大集电极电流时，上升 1dB。

虽然本发明中总的集电极—基极电容降低了，但是发射极—基极电容由于屏蔽电极 7 而增加了。但是，几乎所有的总的发射极—基极电容都是由于衬底 1 中发射极—基极结的电容产生的。因此，即使由于屏蔽电极 7 而增加了发射极—基极电容，晶体管的特性或运行性能几乎不受发射极—基极电容增加的影响，而它很大程度上受集电极—基极电容减少的影响。

如果根据第一实施例的半导体器件用于例如微波放大器的 HF 低噪声放大器，则可减少这个放大器所需的级数。

图 11 和 12 表示根据本发明第二实施例的半导体器件，除了用金属硅化物层 7' 代替作屏蔽电极的多晶硅层 7 和用掩埋金属硅化物层 12' 代替掩埋多晶硅层 12 之外，该半导体器件与第一实施例的相同。

因此，为了简化说明，删除了关于第二实施例的解释。

显然，根据第二实施例的半导体器件具有与第一实施例相同的优点。

最好是，金属硅化物 7' 和掩埋金属硅化物层 12' 具有大约 100nm 的厚度。

一般情况下，利用溅射工艺很容易形成金属硅化物层，而不需掺杂工艺。因此，另外的优点是，与第一实施例相比所需工艺步骤的数量减少了。

又一优点是，由于金属硅化物的较低电阻，而使电阻比第一实施例的低。

图 13 到 15 表示根据本发明第三实施例的半导体器件，除了作为屏蔽电极的导电层 7 没有与发射区 6 电连接而是通过布线 25 与电源线 V_{ss} 电连接外，它与第一实施例的结构相同。

因此，为简化说明，关于第三实施例的解释被删除了。

显然，根据第三实施例的半导体器件具有与第一实施例相同的优点。

虽然本发明用于具有附图中所示结构的双极晶体管，但是无需说明，本发明可以用于任何其它类型双极晶体管。

在已经描述了本发明的最佳形式的同时，应该明白，显然对于本领域技术人员来说，在不脱离本发明的精神情况下，是可以做出各种修改的，因此，本发明的范围由下面所附权利要求书确定。

说明书附图

图 1
现有技术

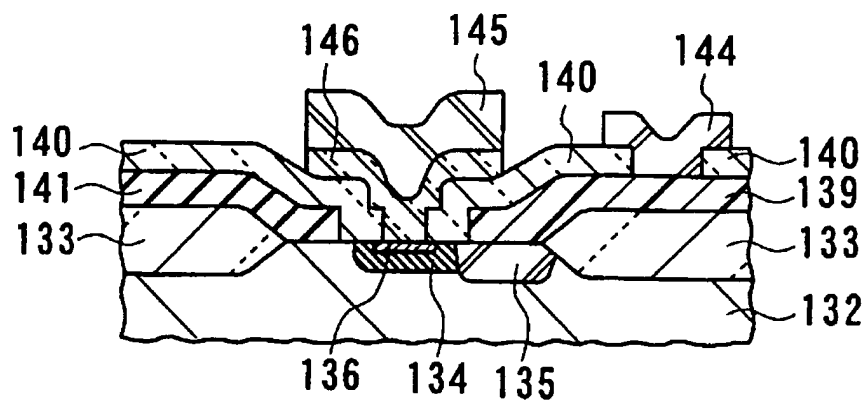


图 2
现有技术

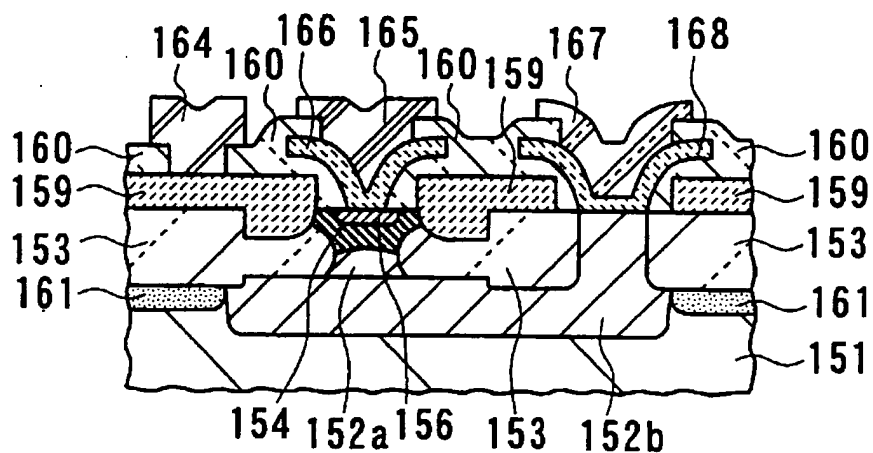


图 3
现有技术

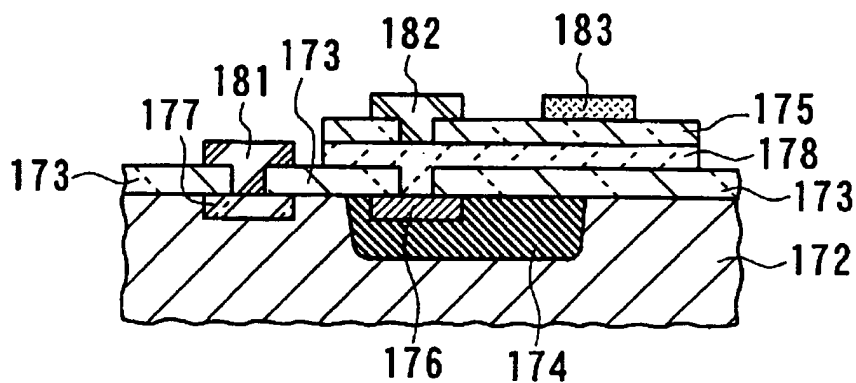


图 4
现有技术

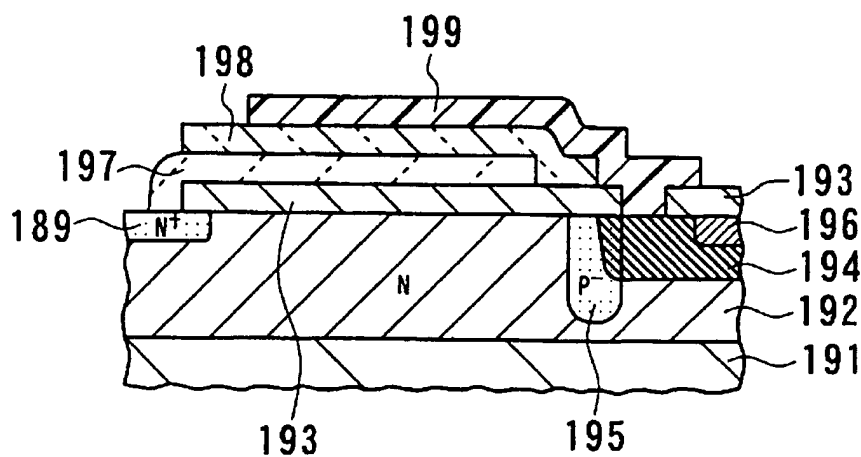


图 5

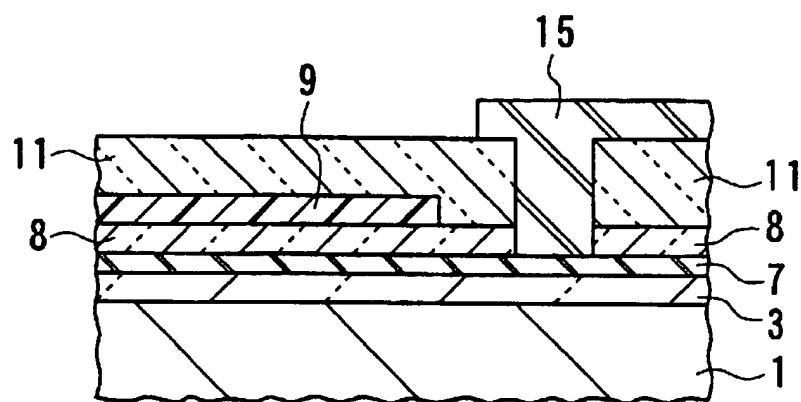
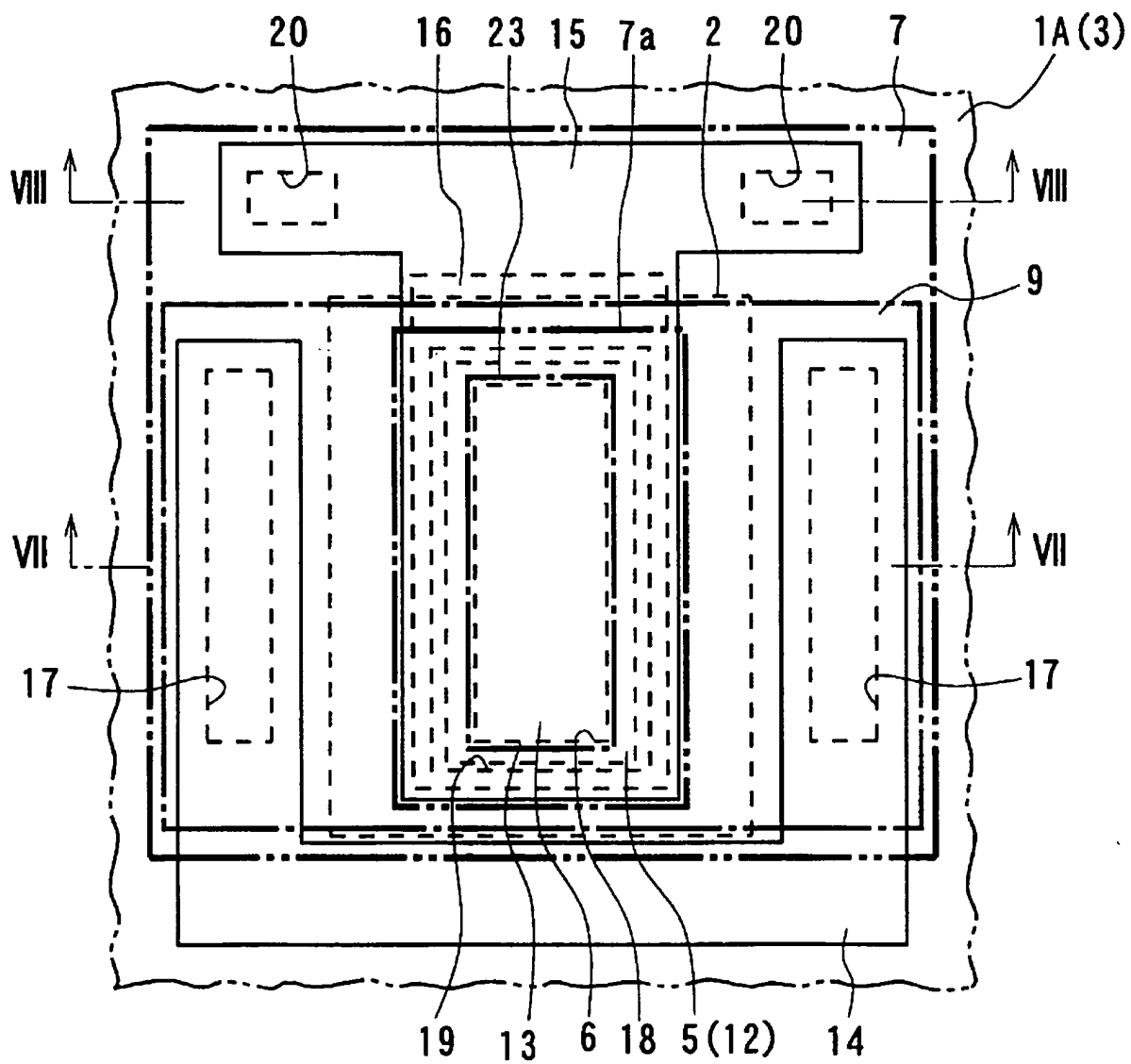


图 6



[illegible]

1

图 9A

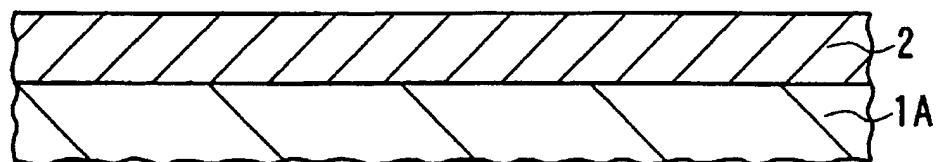


图 9B

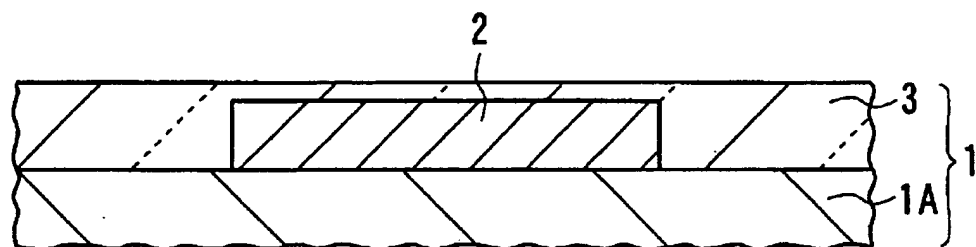


图 9C

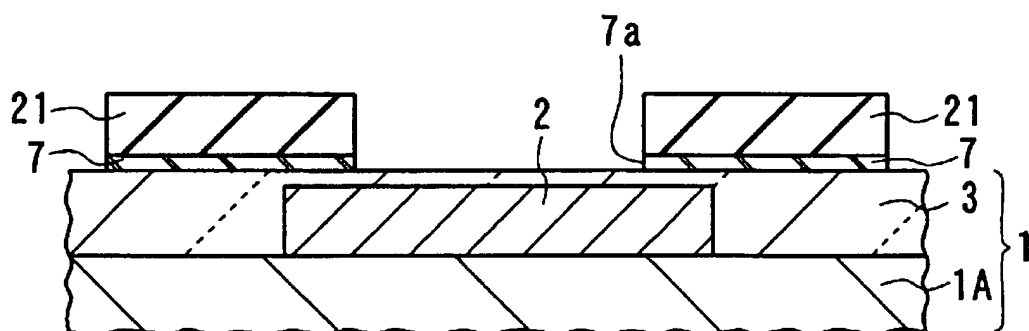
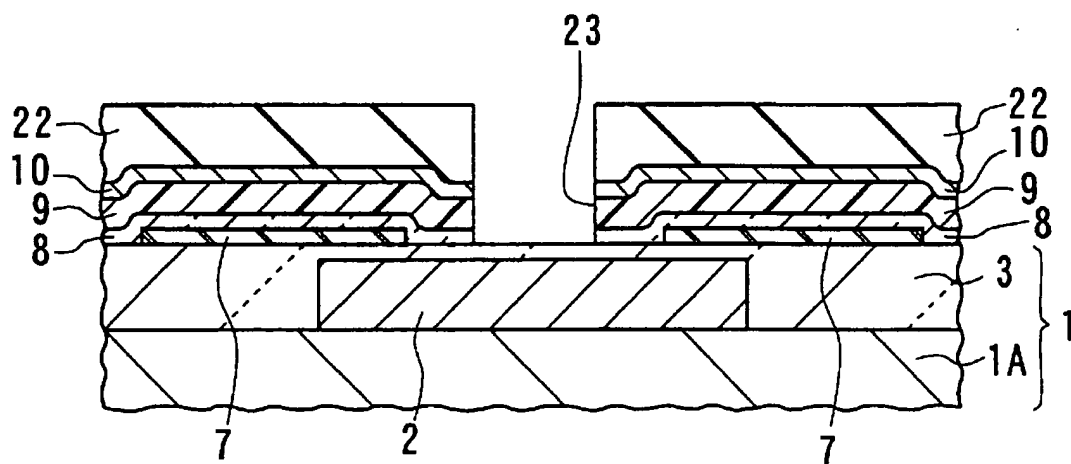


图 9D



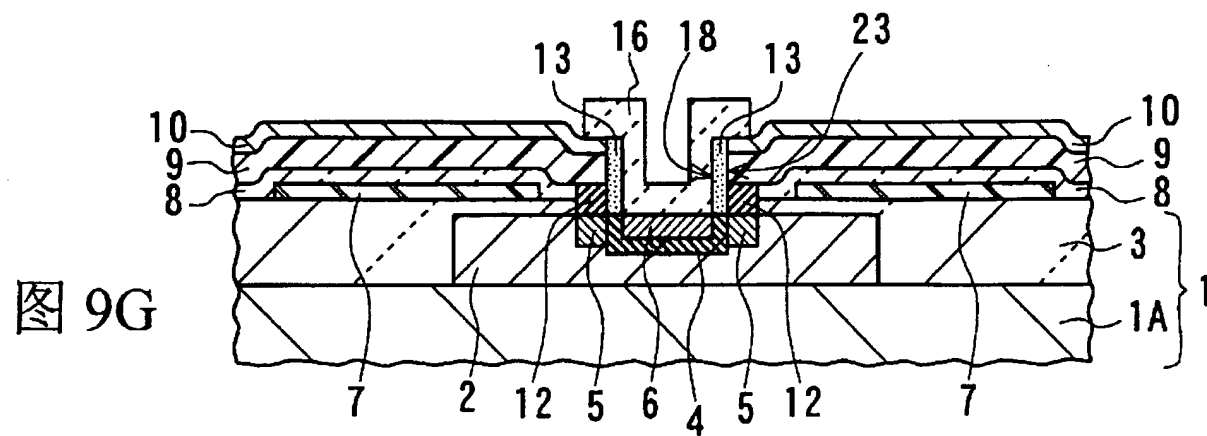
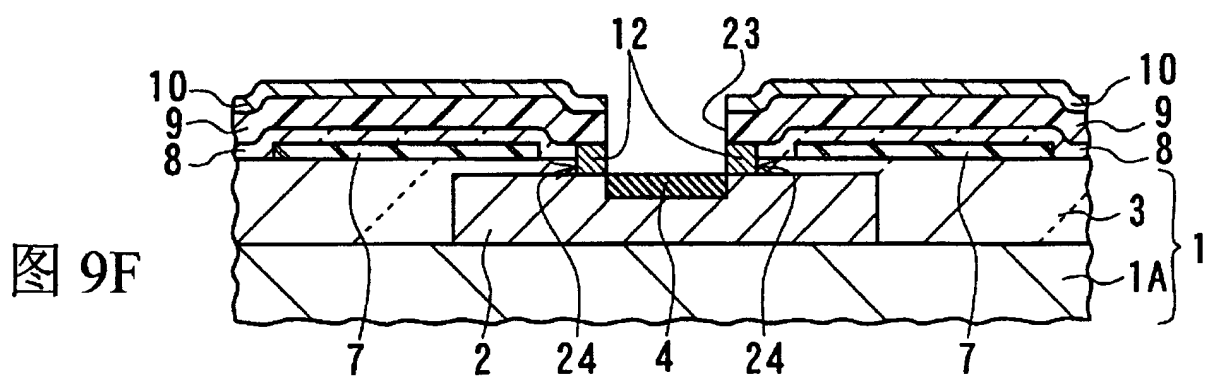
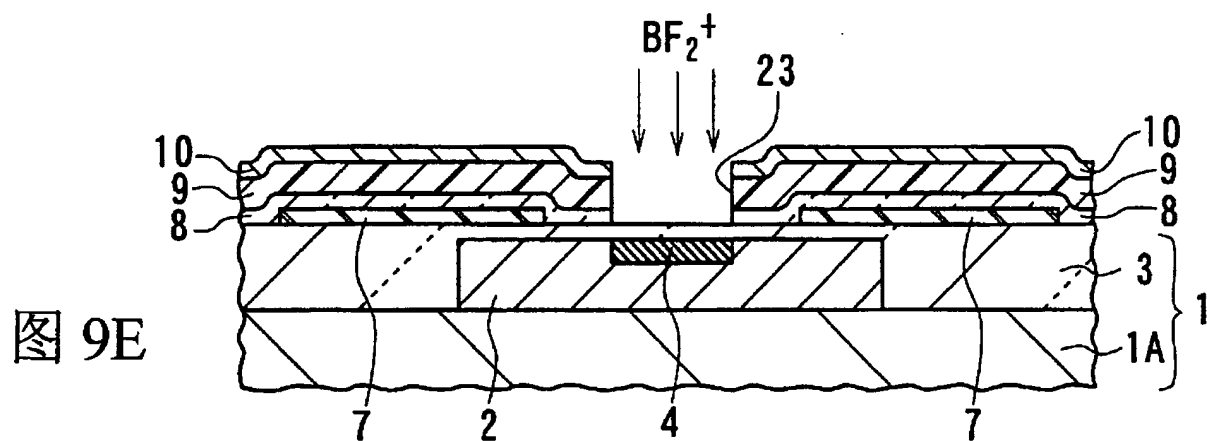


图 10

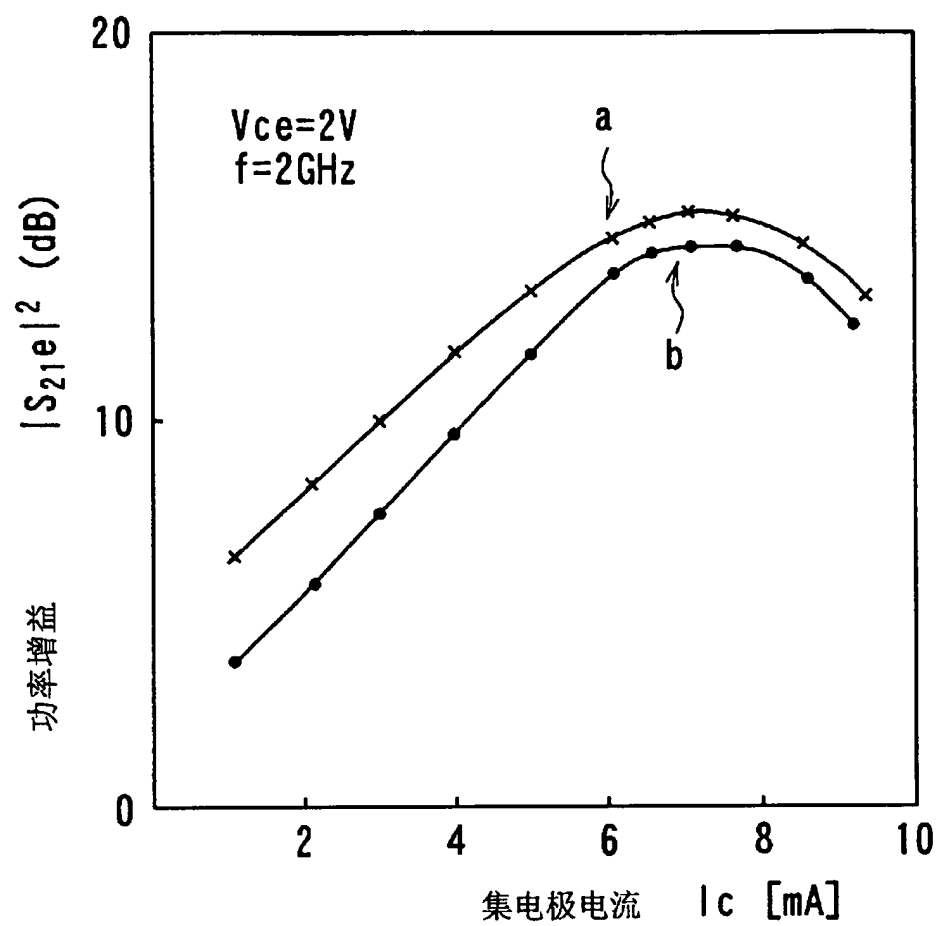


图 11

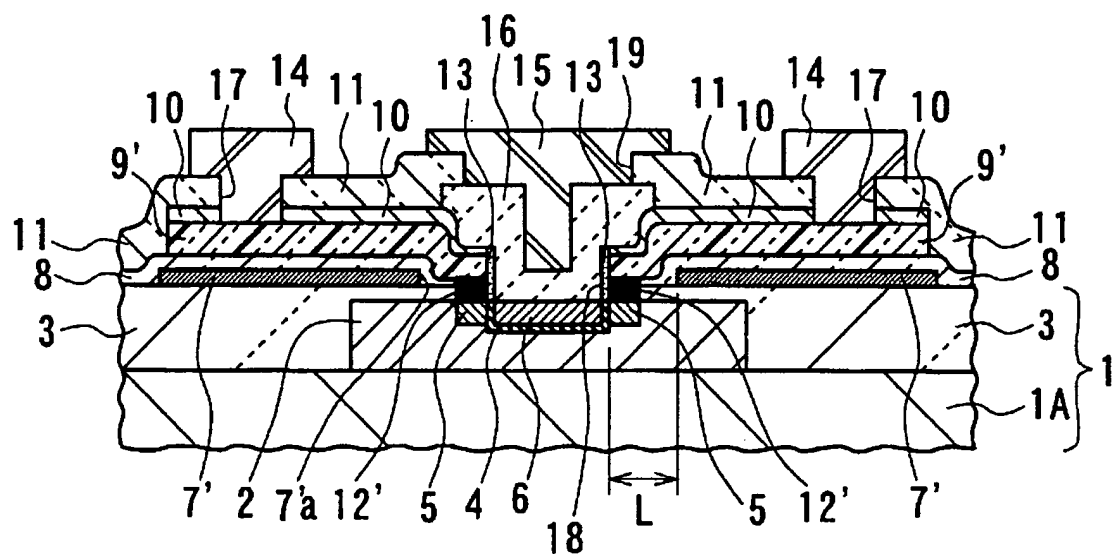


图 12

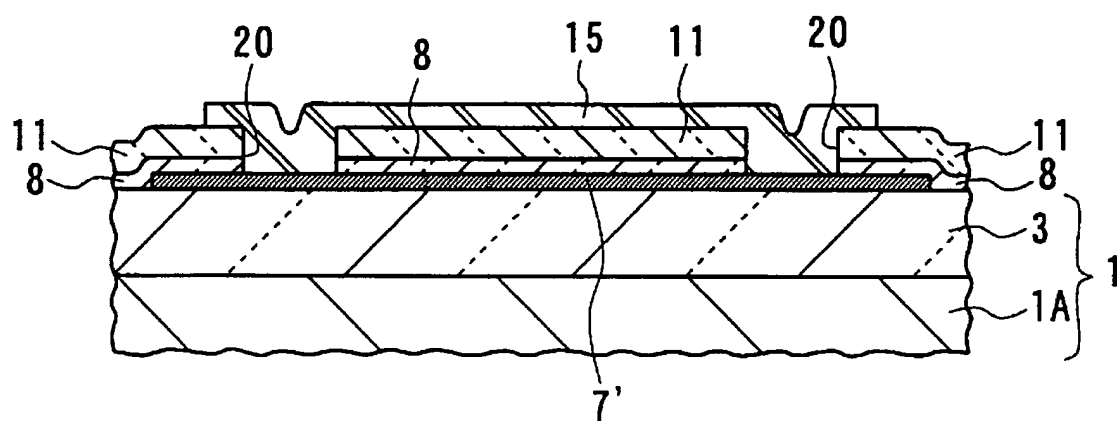


图 13

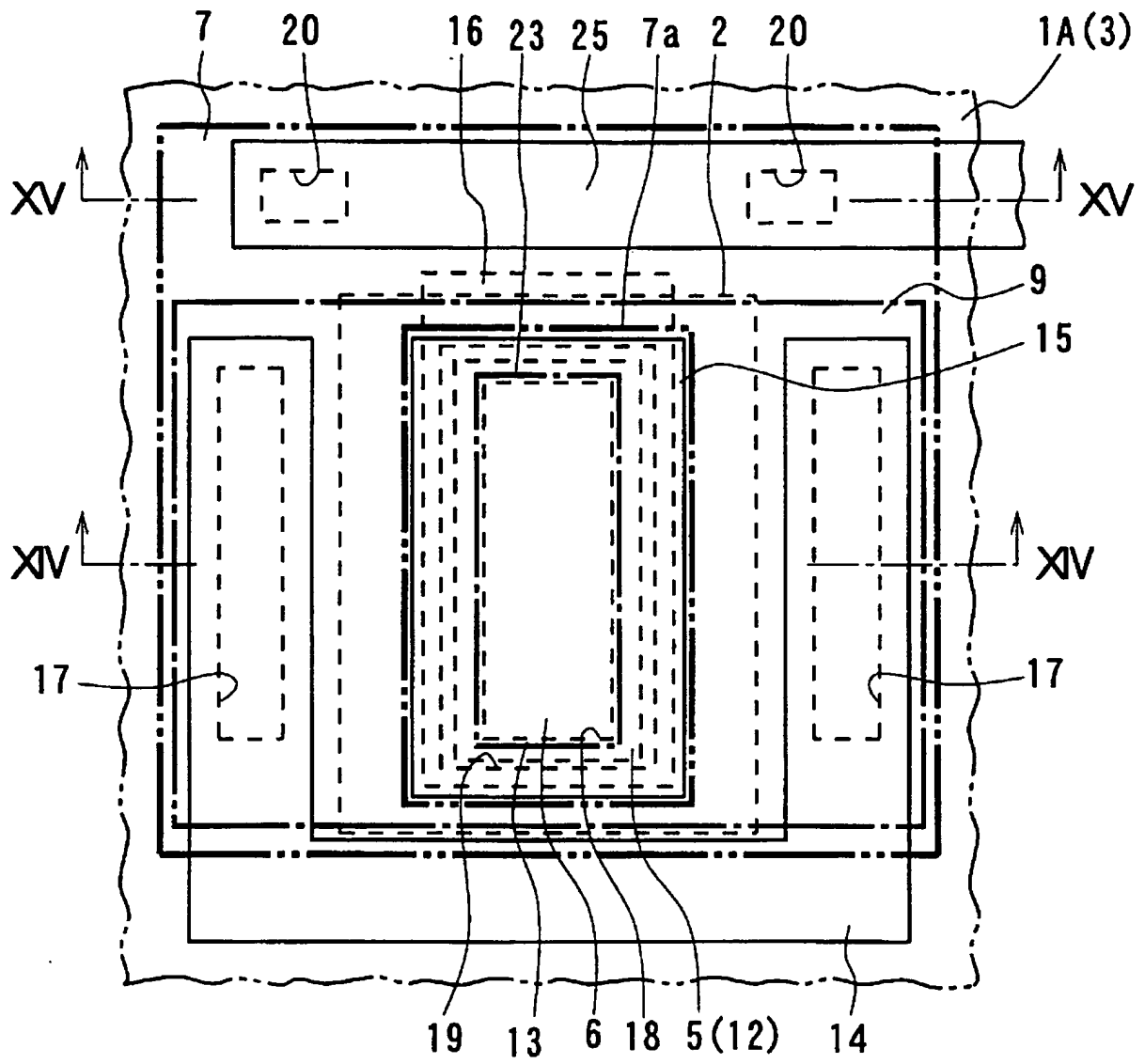


图 14

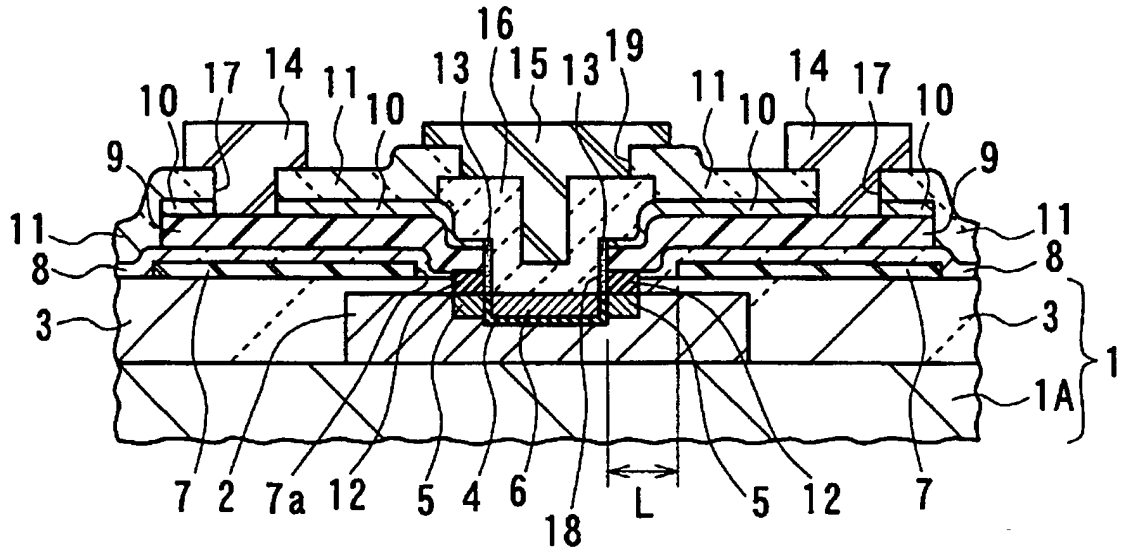


图 15

